

CONHECIMENTOS ESPECÍFICOS

» CONTROLES E PROCESSOS INDUSTRIAIS (PERFIL 5) «

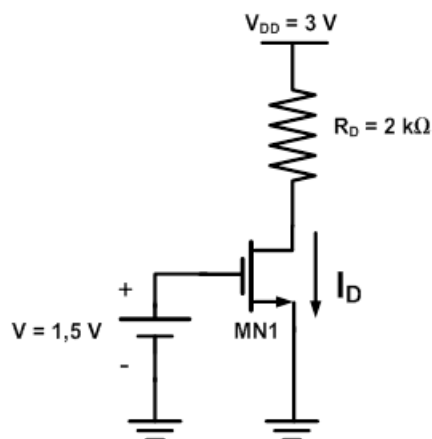
21. Um transistor NMOS, para operar na região de saturação, deve obedecer às seguintes condições:

- I. A diferença entre a tensão de seu dreno e de sua fonte deve ser maior ou igual à diferença entre a tensão de sua porta, a tensão de sua fonte e a sua tensão de limiar.
- II. A diferença de tensão entre sua porta e sua fonte deve ser menor que sua tensão de limiar.
- III. A diferença de tensão entre sua porta e sua fonte deve ser maior ou igual à sua tensão de limiar.
- IV. A diferença entre a tensão de seu dreno e de sua fonte deve ser menor do que a diferença entre a tensão de sua porta, a tensão de sua fonte e a sua tensão de limiar.

É CORRETO o que se afirma em:

- a) I e II apenas.
- b) III e IV apenas.
- c) II e IV apenas.
- d) I e III apenas.
- e) I, II, III e IV.

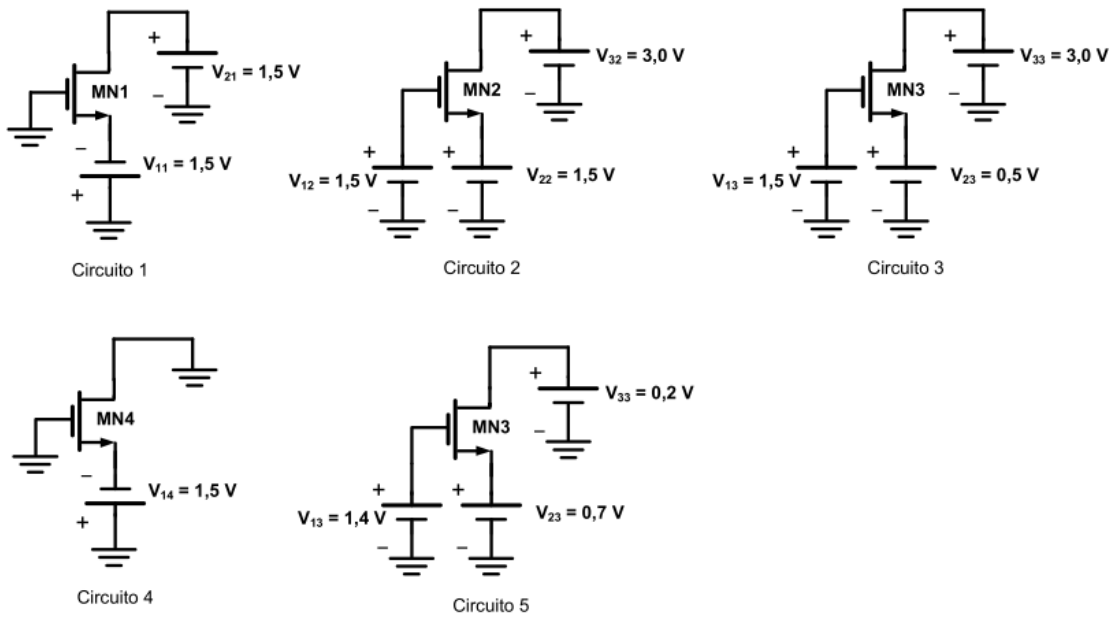
22. Observe o circuito apresentado a seguir:



Considerando $\mu_n C_{OX} = 200 \mu\text{A}/\text{V}^2$, $(W/L) = 3/0,3$ e $V_{th} = 0,7 \text{ V}$, é CORRETO afirmar que esse transistor (NMOS) opera na região de:

- a) Saturação e $I_{DS} = 640 \mu\text{A}$.
- b) Triodo e $I_{DS} = 6,4 \mu\text{A}$.
- c) Triodo profundo e $I_{DS} = 64 \mu\text{A}$.
- d) Saturação e $I_{DS} = 6,4 \text{ mA}$.
- e) Triodo e $I_{DS} = 6,4 \text{ mA}$.

23. Analise os circuitos que seguem, considerando $\mu_n C_{OX} = 200 \mu A/V^2$ e $V_{th} = 0,7 V$ (todos os transistores são NMOS).



Em quais dos circuitos apresentados, os transistores se encontram funcionando na região de saturação?

- Circuitos 3 e 5 apenas.
- Circuitos 1, 2 e 4 apenas.
- Circuito 3 apenas.
- Circuito 5 apenas.
- Circuitos 1, 2, 3, 4 e 5.

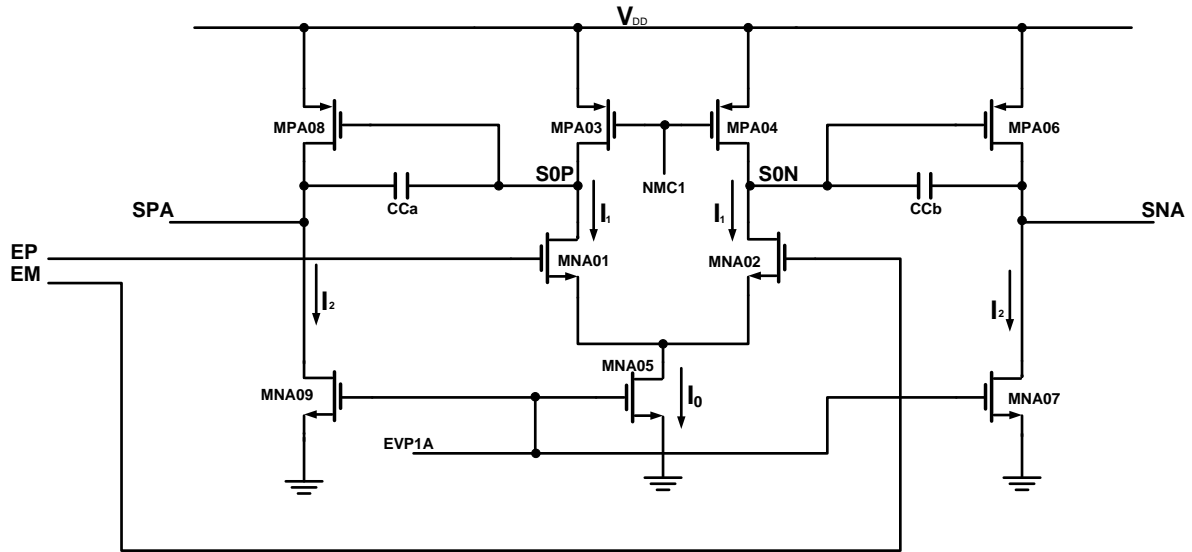
24. Uma determinada tecnologia MOS é projetada para fornecer somente transistores do tipo N (NMOS), com dois níveis de metal. Para esta tecnologia, qual o número mínimo de máscaras exigido?

- 4.
- 5.
- 7.
- 8.
- 6.

25. Nos processos de fabricação de circuitos integrados CMOS, são requeridos depósitos de vários materiais e suas corrosões (*etching*). Com relação à etapa de *etching*, é INCORRETO afirmar:

- O processo de corrosão (*etching*) é realizado antes do processo de fotolitografia.
- Alguns dos métodos usados na corrosão de materiais são: corrosão úmida (*wet etching*), corrosão com plasma (*plasma etching*) e corrosão reativa iônica (*reactive ion etching*).
- Os principais passos no processo de corrosão são: a formação da partícula reativa; a chegada da partícula reativa na superfície a ser gravada; adsorção das partículas reativas na superfície; absorção química da partícula reativa na superfície, ou seja, uma ligação química é formada; formação da molécula de produto; desabsorção da molécula do produto; e a remoção da molécula de produto do reator.
- As soluções químicas utilizadas na corrosão do substrato podem ser tanto úmidas (líquidas) quanto secas (gases, plasmas).
- O processo de corrosão (*etching*) é realizado após o processo de fotolitografia.

26. Considere o circuito da figura, a seguir, para analisar as proposições que seguem:



- I. É um amplificador operacional de dois estágios com compensação Miller de frequência.
- II. O primeiro estágio pode servir para se obter um alto ganho e o segundo estágio pode servir para se obter uma máxima excursão do sinal de saída.
- III. O segundo estágio está configurado como um estágio simples do tipo fonte comum.

É CORRETO o que se afirma em:

- a) I apenas.
- b) II apenas.
- c) III apenas.
- d) I e II apenas.
- e) I, II e III.

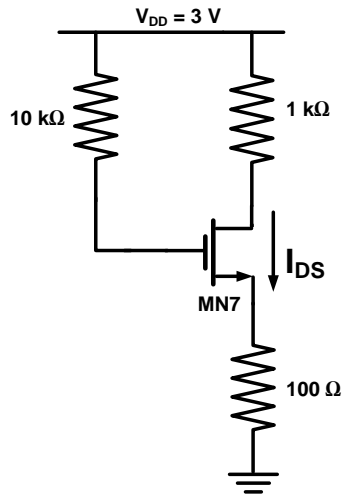
27. Com relação aos amplificadores CMOS de estágios simples, julgue as afirmações a seguir:

- I. O amplificador na configuração fonte comum tem o sinal de entrada na porta de um transistor NMOS e o sinal de saída no dreno desse mesmo transistor.
- II. O amplificador na configuração dreno comum tem o sinal de entrada na porta de um transistor NMOS e o sinal de saída na fonte desse mesmo transistor.
- III. O amplificador na configuração porta comum tem o sinal de entrada no dreno de um transistor NMOS e o sinal de saída na fonte desse mesmo transistor.
- IV. O amplificador de estágio simples, na configuração do tipo fonte comum com degeneração de fonte, possui mais um transistor sendo PMOS, com o dreno interligado ao dreno do transistor NMOS.

É CORRETO apenas o que se afirma em:

- a) I.
- b) II.
- c) III e IV.
- d) I e II.
- e) I, II e III.

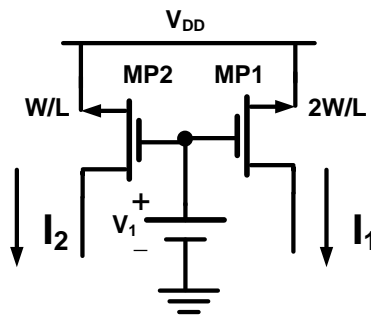
28. Observe o circuito na figura a seguir, considerando $\mu_n C_{OX} = 200 \mu A/V^2$ e $V_{th} = 0,7 V$:



No circuito mostrado, a transcondutância máxima que o transistor MN7 (NMOS) pode atingir, com MN7 permanecendo sempre saturado, é igual a:

- a) 0,338 mS.
- b) 0,788 mS.
- c) 0,628 mS.
- d) 0,956 mS.
- e) 1,454 mS.

29. Atente para o circuito demonstrado na figura a seguir:



No circuito mostrado, MP1 e MP2 operam como fontes de corrente. Considerando $\mu_p C_{OX} = 200 \mu A/V^2$, $(W/L) = 10/0,5$, $V_1 = 1,5 V$, $V_{DD} = 3V$ e $V_{th} = 0,7 V$, qual o valor da corrente I_2 ?

- a) 35 mA.
- b) 450 mA.
- c) 4,54 mA.
- d) 1,28 mA.
- e) 128 μA .

30. Em relação à linguagem VHDL (*VHSIC Hardware Description Language*), analise as proposições a seguir:

- I. Uma das características da VHDL é que cada elemento de projeto apresenta uma interface e uma especificação comportamental.
- II. A entidade (*entity*) é um componente organizacional obrigatório do FPGA.
- III. A biblioteca (*library*) e o pacote (*package*) são componentes organizacionais opcionais do FPGA.

É CORRETO o que se afirma em:

- a) I apenas.
- b) II apenas.
- c) III apenas.
- d) I e II apenas.
- e) I, II e III.

31. Considere o código seguinte que apresenta uma descrição estrutural completa em FPGA de uma porta lógica.

```
*****
-----File teste.vhd-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
-----
ENTITY xxx IS
    PORT (a, b, c: IN STD_LOGIC; d: OUT STD_LOGIC);
END xxx;
-----
ARCHITECTURE xxx OF xxx IS
    BEGIN
        d <= NOT (a AND b AND c);
    END xxx;
-----
```

Com base na descrição anterior, qual a porta lógica codificada?

- a) Porta inversora.
- b) Porta AND de 2 entradas.
- c) Porta AND de 3 entradas.
- d) Porta NAND de 3 entradas.
- e) Porta NOR de 3 entradas.

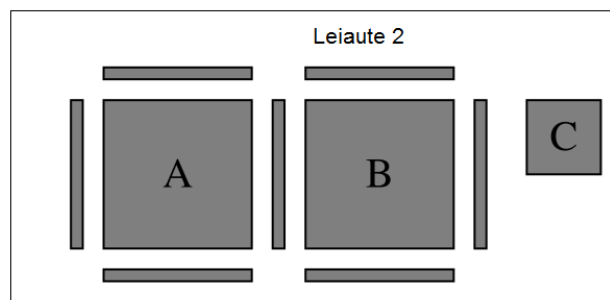
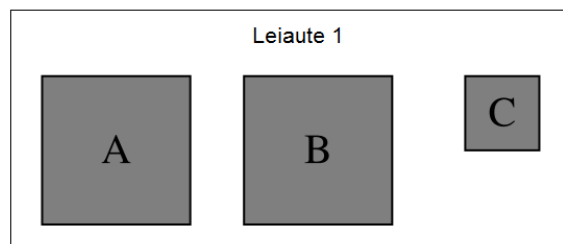
32. Associe as duas colunas, relacionando os tipos de amplificadores CMOS com as suas respectivas características.

- | | |
|--------------------------------------|--|
| 1. Amplificador de tensão. | () Ganho igual à relação entre a tensão de saída e a corrente de entrada, com resistências ideais de entrada e saída iguais a zero. |
| 2. Amplificador de corrente. | () Ganho igual à relação entre a tensão de saída e a tensão de entrada, com resistências ideais de entrada e saída iguais a infinito e a zero, respectivamente. |
| 3. Amplificador de transcondutância. | () Ganho igual à relação entre a corrente de saída e a tensão de entrada, com resistências ideais de entrada e saída iguais a infinito. |
| 4. Amplificador de transresistência. | () Ganho igual à relação entre a corrente de saída e a corrente de entrada, com resistências ideais de entrada e saída iguais a zero e a infinito, respectivamente. |

A sequência CORRETA dessa associação é:

- a) (1), (2), (3), (4).
- b) (4), (1), (3), (2).
- c) (1), (4), (3), (2).
- d) (1), (3), (4), (2).
- e) (4), (1), (2), (3).

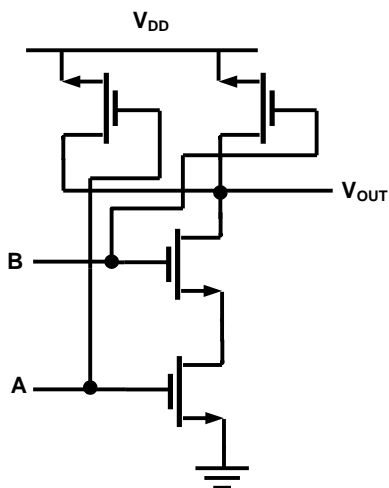
33. Considere as figuras geométricas A, B e C a seguir como leiautes de capacitores em processos de fabricação de circuitos integrados.



Com base na representação, é CORRETO afirmar:

- a) No leiaute 1, o casamento entre os elementos A e B não é prejudicado pela presença do elemento C.
- b) No leiaute 2, o casamento entre os elementos A e B é melhorado pelo balanceamento do material adjacente.
- c) No leiaute 1, não existem erros de efeito de bordas nos capacitores.
- d) No leiaute 2, o casamento entre os elementos A e B é melhorado pelo desbalanceamento do material adjacente.
- e) No leiaute 1, o casamento entre os elementos A e B é mais eficiente do que no leiaute 2.

34. Utilize o circuito, mostrado na figura a seguir, que representa uma porta lógica CMOS, para completar a coluna de V_{out} na tabela-verdade anexa.



Porta Lógica CMOS

Entradas		Saída
A	B	V_{out}
0	0	
0	1	
1	0	
1	1	

Tabela-verdade

A sequência que preenche a tabela-verdade é:

- a) 0, 0, 0, 1.
- b) 0, 1, 1, 1.
- c) 1, 1, 1, 0.
- d) 0, 0, 1, 1.
- e) 0, 1, 1, 0.

35. Analise o circuito do inversor lógico CMOS, mostrado na figura 01, e a característica de transferência de tensão (CTT), mostrada na figura 02, a seguir apresentadas.

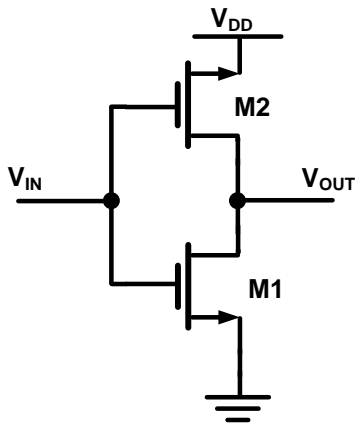


Figura 01

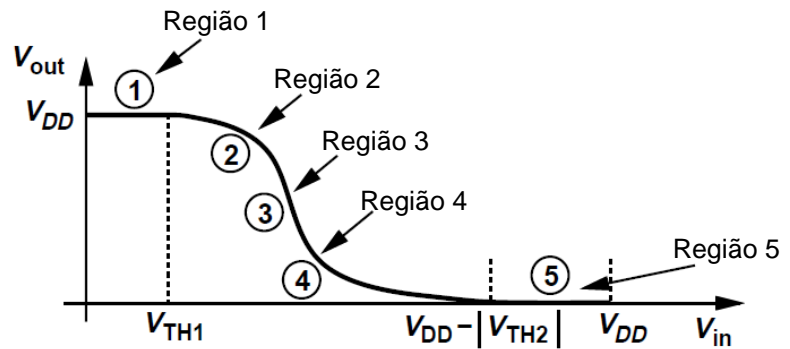


Figura 02

Em relação ao regime de operação dos transistores M1 (NMOS) e M2 (PMOS), é CORRETO afirmar:

- Na região 1, M1 está fora de operação (*Off*) e M2 está saturado.
 - Na região 2, M1 está na região de triodo e M2 está saturado.
 - Na região 3, M1 está fora de operação (*Off*) e M2 está na região de triodo.
 - Na região 4, M1 e M2 estão saturados.
 - Na região 5, M1 está na região de triodo e M2 está fora de operação (*Off*).
36. Com relação às falhas e metodologias de testes em circuitos integrados, analise as seguintes proposições:
- Variações paramétricas são falhas que acontecem, principalmente, em circuitos analógicos.
 - Duas falhas são ditas equivalentes se todos os testes que detectam uma falha detectam a outra.
 - Falha de atraso de caminho (*path delay fault*) acontece quando o atraso de propagação do caminho excede o intervalo de relógio (*clock*).
 - Modelos de falhas, essenciais para uma metodologia de testes, são aproximações analisáveis de defeitos.

É CORRETO o que se afirma em:

- I apenas.
- I, II, III e IV.
- II apenas.
- III apenas.
- I, II e IV.

- 37.** Com relação aos Sistemas Microeletromecânicos (*MEMS – Micro-Electro-Mechanical Systems*), considere as afirmações a seguir:
- I. Os microssistemas poderiam ser definidos como sistemas miniaturizados, compostos por três blocos fundamentais: o bloco de comunicação com o meio exterior que age como sensor e/ou atuador; o bloco de interface analógica para aquisição/transmissão e amplificação dos sinais dos sensores/atuadores; e o bloco de controle e tratamento numérico.
 - II. Os MEMS têm sido construídos, principalmente, através do uso de microestruturas suspensas ou microusinadas.
 - III. A construção das estruturas MEMS é, geralmente, feita antes da fabricação dos circuitos eletrônicos devido à complexidade dos processos de microeletrônica, enquanto, muitas vezes, uma simples etapa de corrosão é suficiente para a liberação das estruturas suspensas.
 - IV. A usinagem em volume refere-se exatamente aos processos de construção de microestruturas suspensas, a partir da remoção ou corrosão de camadas, presentes na superfície do substrato.

A partir dessas afirmações, é CORRETO o que se afirma em:

- a) I e II apenas.
 - b) II apenas.
 - c) III apenas.
 - d) I, II e IV apenas.
 - e) I, II, III e IV.
- 38.** SPICE – Programa de Simulação com Ênfase em Circuitos Integrados (*Simulated Program with Integrated Circuits Emphasis*) – é um software de simulação de circuitos eletrônicos. Considerando essa informação, que tipo de análise pode ser feita com programas SPICE que permite ver a resposta do circuito no domínio do tempo?
- a) Análise da polarização.
 - b) Análise DC.
 - c) Análise Transiente.
 - d) Análise AC.
 - e) Análise da polarização AC.

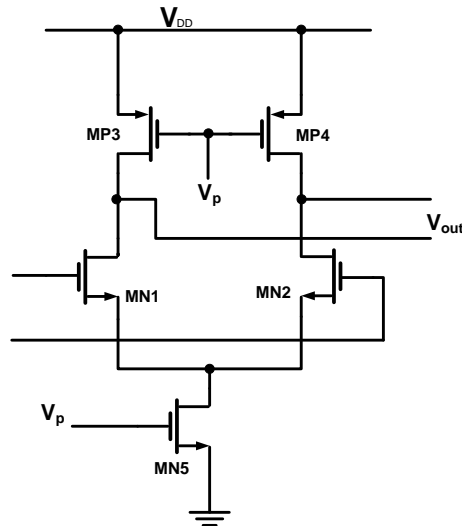
39. Considerando que AC é uma das análises possíveis de serem realizadas em circuitos analógicos, com a utilização de programas SPICE (*Simulated Program with Integrated Circuits Emphasis*), em qual das alternativas a seguir se define, corretamente, a análise AC?

- a) Possibilita o cálculo do ponto de operação do circuito, repetidas vezes, para uma série de valores de um elemento ou parâmetro do circuito, através de uma “varredura”, da qual se obtém as características de transferência DC do circuito. Neste caso, o usuário determina a faixa de valores dentro da qual a fonte varia, bem como os “passos de cálculo” ou incrementos de variação.
- b) Permite determinar a resposta do circuito em função de sinais variáveis no domínio do tempo. O intervalo de tempo da simulação é determinado pelo usuário, bem como os incrementos ou “passos” de tempo.
- c) Tem como objetivo determinar a resposta em frequência do circuito. Normalmente, especifica-se uma série de valores de frequência, de modo que a análise seja feita de forma repetitiva dentro desta faixa de variação. Além disso, é possível verificar as características de ruído e de distorção de um circuito eletrônico usando essa análise.
- d) Analisa o ponto de operação DC do circuito, bem como a função de transferência e a sensibilidade para pequenos sinais.
- e) Tem como objetivo determinar a resposta temporal do circuito. Normalmente, especifica-se uma série de valores de tempo, de modo que a análise seja feita de forma repetitiva dentro desta faixa de variação.

40. As técnicas de melhoramento de leiautes analógicos ajudam a minimizar alguns efeitos prejudiciais aos circuitos tais como: descasamento de componentes, interferências e ruídos. Considerando essas informações, dentre as alternativas abaixo elencadas, qual NÃO contempla uma técnica de melhoramento de leiaute analógico?

- a) Dobrar a estrutura de transistores muito grandes (*multifinger transistor*).
- b) Transistores com alinhamento de portas.
- c) Transistores em configuração centróide comum.
- d) Distribuição das tensões de referência.
- e) Aumento da capacitância de acoplamento entre as linhas de sinais com o uso de sinais diferenciais.

41. Observe a figura que segue:



Com base na figura apresentada, e considerando $MN1 = MN2$ e $MP3 = MP4$, qual o ganho do amplificador operacional?

- a) $A_v = -g_{m1}(r_{o1} \parallel r_{o3})$.
- b) $A_v = -g_{m1}(r_{o1} \parallel r_{o2})$.
- c) $A_v = -g_{m1}g_{m2}(r_{o1} \parallel r_{o2})$.
- d) $A_v = -g_{m1}g_{m2}(r_{o1} \parallel r_{o2} \parallel r_{o3} \parallel r_{o4})$.
- e) $A_v = -g_{m1}(r_{o3} \parallel r_{o4})$.

42. Existem, pelo menos, dois tipos de transistores de efeito de campo de metal-óxido semiconductor (MOSFET – *Metal Oxide Semiconductor Field Effect Transistor*) com relação à formação do seu canal: o MOSFET de acumulação e o MOSFET de depleção. Com relação às diferenças entre estes dois tipos de transistores, é CORRETO afirmar:

- a) O MOSFET de acumulação possui um canal implantado fisicamente.
- b) A profundidade do canal do MOSFET de depleção não pode ser controlada por uma tensão negativa.
- c) As estruturas do MOSFET de acumulação e de depleção são bastante diferentes.
- d) A tensão de limiar (V_{th}) do MOSFET de depleção de canal n é positiva.
- e) A tensão de limiar (V_{th}) do MOSFET de depleção de canal n é negativa.

43. Com relação aos transistores de efeito de campo de metal-óxido semiconductor (MOSFET – *Metal Oxide Semiconductor Field Effect Transistor*), analise as proposições a seguir:

- I. Diferentemente dos transistores bipolares, que são baseados na utilização de dois portadores de carga (elétrons e lacunas), os MOSFET's se baseiam na utilização de apenas um tipo de portador por vez, que podem ser elétrons ou lacunas.
- II. Em um transistor MOSFET, do tipo NMOS, as regiões dopadas de material tipo N são chamadas dreno e fonte.
- III. O eletrodo da porta está eletricamente isolado do substrato do dispositivo (pela camada de SiO_2), e esse isolamento faz com que a corrente no terminal da porta seja extremamente pequena.

É CORRETO se afirmar o que se coloca em:

- a) I apenas.
- b) I, II e III.
- c) II apenas.
- d) III apenas.
- e) I e II apenas.

44. Na tabela a seguir estão mostradas as polaridades das tensões entre porta (G) e fonte (S), entre dreno (D) e fonte (S) e a tensão de limiar (V_{th}) dos transistores de efeito de campo de metal-óxido semiconductor (MOSFET – *Metal Oxide Semiconductor Field Effect Transistor*) de acumulação e de depleção.

Tipo do Transistor	Polaridade de V_{GS} e V_{th}	Polaridade de V_{DS}
Acumulação (canal N)	Positiva	Positiva
Acumulação (canal P)	Negativa	Negativa
Depleção (canal N)	Negativa	Positiva
Depleção (canal P)	Positiva	Negativa

Com base na tabela, julgue as proposições abaixo:

- I. A tensão V_{GS} negativa no transistor MOSFET de depleção depleta o canal de portadores de carga, e esse modo de operação (com V_{GS} negativo) é chamado modo de depleção.
- II. Se o valor de V_{GS} for aumentado no sentido negativo, será atingido um valor que depletará totalmente o canal de seus portadores de carga, com a corrente de dreno I_{DS} reduzindo-se a 20% do seu valor nominal.
- III. O MOSFET tipo acumulação canal P (PMOS) é fabricado sobre um substrato tipo n com regiões p^+ para o dreno e a fonte e, nesse caso, as lacunas são portadores de carga.
- IV. O MOSFET tipo acumulação canal N (NMOS) é formado em um substrato tipo p . Nesse caso, o canal é criado pela inversão da superfície do substrato tipo p para o tipo n , daí o canal induzido ser chamado de camada de inversão.

É CORRETO apenas o que se afirma em:

- a) I e II.
- b) II.
- c) I, III e IV.
- d) I, II e IV.
- e) I, II, e III.

45. A modelagem de componentes eletrônicos, parte importante de projetos e análises de circuitos integrados analógicos, é definida como o processo pelo qual um componente eletrônico é caracterizado de uma maneira que permitirá sua análise por métodos matemáticos e/ou gráficos. Com base nessas informações, analise as afirmações a seguir:

- I. Modelos de pequenos sinais representam os comportamentos não lineares do componente eletrônico.
- II. Modelos de grandes sinais são caracterizados por apresentarem relações lineares entre as tensões e correntes dos terminais do componente eletrônico.
- III. Modelos de grandes sinais representam os comportamentos não lineares do componente eletrônico.
- IV. Modelos de pequenos sinais são caracterizados por apresentarem relações lineares entre as tensões e correntes dos terminais do componente eletrônico.

É CORRETO apenas o que se afirma em:

- a) III e IV.
- b) I e II.
- c) II.
- d) I, II e IV.
- e) I, II e III.

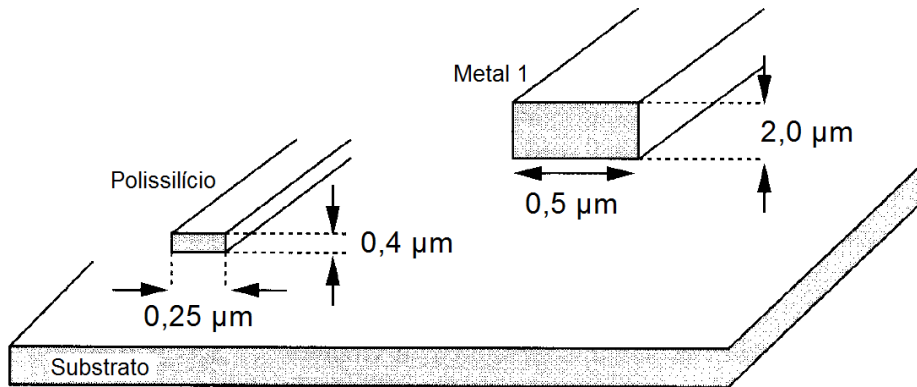
46. Os arranjos (matrizes) de portas programáveis no campo (FPGA's – *Field-Programmable Gate Arrays*) fazem parte de uma categoria de dispositivos lógico programáveis (PLD's – *Programmable Logic Devices*). Sobre os PLD's, considere as seguintes informações:

- I. O dispositivo PAL (Lógica de Arranjo Programável – *Programmable Array Logic*) é um tipo de PLD, conhecido como SPLD, dispositivos lógicos programáveis simples (*Simple Programmable Logic Device*).
- II. Os dispositivos CPLD's (Dispositivos Lógicos Programáveis Complexos – *Complex Programmable Logic Device*), que também fazem parte dos PLD's e são projetados a partir de estruturas SPLD's, podem ser utilizados para projetos maiores, já que conseguem sintetizar um número relativamente grande de circuitos integrados em um único chip.
- III. Os ASIC's (Circuito Integrado de Aplicação Específica – *Application-specific Integrated Circuit*) formam a terceira geração de PLD's, e, para cada projeto, basta determinar a localização dos blocos lógicos e o roteamento das conexões entre eles.

É CORRETO o que se afirma em:

- a) I apenas.
- b) II apenas.
- c) III apenas.
- d) I e II apenas.
- e) I, II e III.

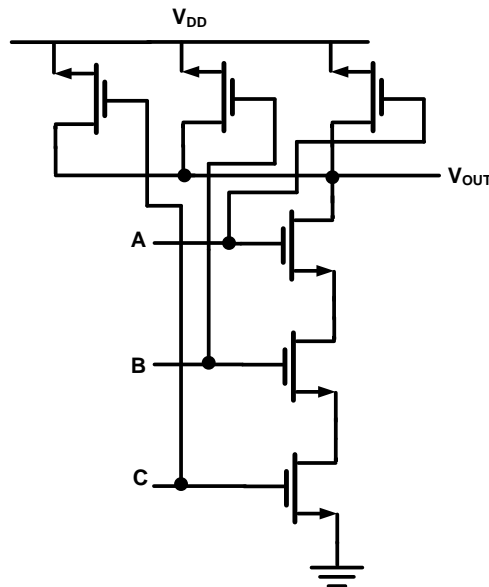
47. Na figura a seguir, o polissilício apresenta uma resistência de superfície (*sheet resistance*) de $30 \Omega/\square$ (antes da silicidação), e o metal 1 tem uma resistência de superfície de $80 \text{ m}\Omega/\square$.



Com base nas informações apresentadas, qual é a razão entre a resistividade dos dois materiais?

- a) 100. b) 150. c) 50. d) 75. e) 25.

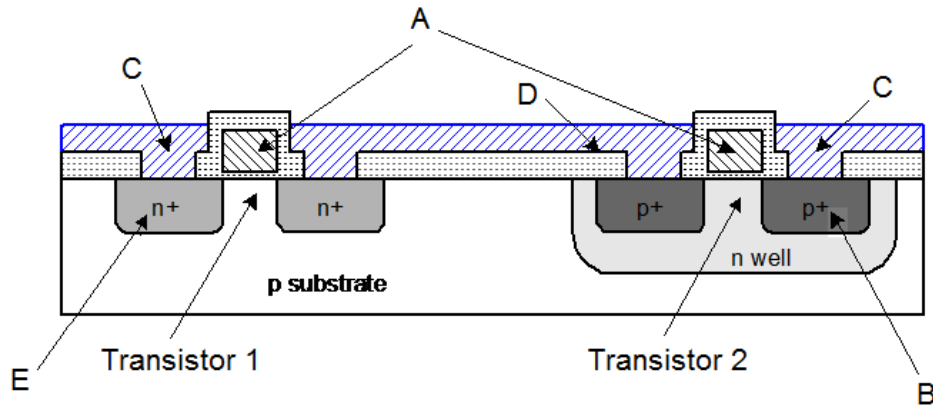
48. Analise o circuito na figura a seguir, que representa uma porta lógica CMOS.



A partir da análise desse circuito, a porta é denominada:

- a) NOR de 3 entradas.
 b) XOR de 3 entradas.
 c) NAND de 3 entradas.
 d) OR de 3 entradas.
 e) AND de 3 entradas.

49. A partir da figura, a seguir, que representa a estrutura de dois transistores MOSFET (um PMOS e um NMOS) em um substrato, associe a segunda coluna de acordo com a primeira.



- | Primeira coluna: | Segunda coluna: |
|----------------------|--|
| 1. (A). | () Óxido de Silício (SiO_2). |
| 2. (B). | () Difusão n. |
| 3. (C). | () Polissilício. |
| 4. (D). | () Metal 1. |
| 5. (E). | () Difusão p. |
| 6. (Transistor 1). | () PMOS. |
| 7. (Transistor 2). | () NMOS. |

A sequência correta é:

- A, E, D, C, B, Transistor 2, Transistor 1.
 - D, E, A, C, B, Transistor 2, Transistor 1.
 - D, E, A, C, B, Transistor 1, Transistor 2.
 - A, E, D, C, B, Transistor 1, Transistor 2.
 - A, B, C, D, E, Transistor 2, Transistor 1.
50. O inversor lógico digital é o bloco construtivo básico para circuitos digitais. Sobre o inversor lógico CMOS, considere as proposições a seguir:
- A operação estática de um inversor é descrita por sua curva de transferência de tensão.
 - O inversor CMOS é implementado utilizando-se transistores operando como chaves controladas por tensão.
 - O circuito do inversor CMOS emprega duas chaves, operando de modo complementar.
 - Um parâmetro de desempenho do inversor muito importante é a quantidade de potência que ele dissipa. Há dois componentes na dissipação de potência: estático e dinâmico. O primeiro resulta da corrente que flui no estado 0 e/ou no estado 1. O segundo ocorre quando o inversor é chaveado e tem uma carga reativa.

É CORRETO o que se afirma em:

- I apenas.
- II apenas.
- III apenas.
- I, II e IV.
- I, II, III e IV.